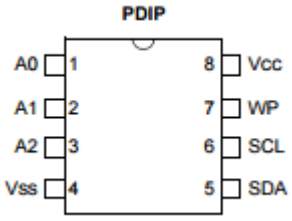
1. CI 24LC02B - Memória EEPROM de 2KBit Comunicação Serial I2C

Tecnologia da Microchip o Circuito Integrado, CI 24LC02B, é uma memória EEPROM de 2KBit, portanto, 256 palavras de 8 Bits que equivalem a 256 KByte, com interface serial a dois fios (2-wire). O CI 24LC02B tem capacidade de escrever páginas de até 8 Bytes de dados. Esse circuito integrado é disponibilizado em várias disposições (packages), mas, aqui vamos focar no tradicional PDIP com 8 pinos.

1.1. Visão Geral do Circuito Integrado

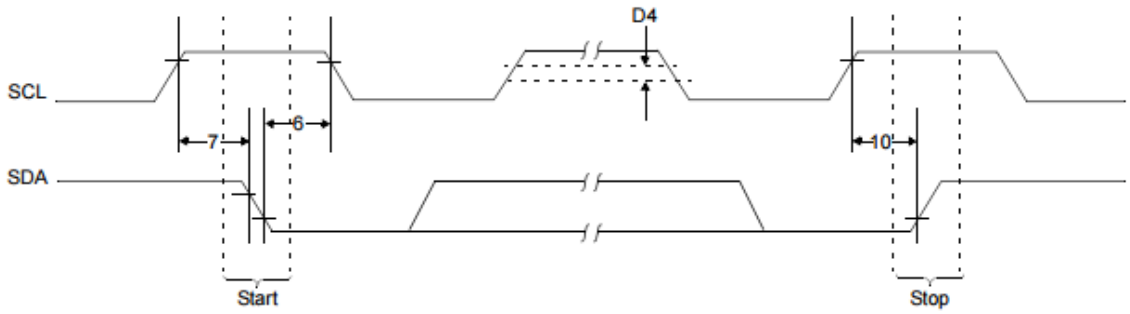
Name	PDIP	Description
A0	1	Not Connected
A1	2	Not Connected
A2	3	Not Connected
Vss	4	Ground
SDA	5	Serial Address/Data I/O
SCL	6	Serial Clock
WP	7	Write-Protect Input
Vcc	8	+1.7V to 5.5V Power Supply

Part Number	Vcc Range	Max. Clock Frequency	Temp. Ranges
24LC02B	2.5-5.5	400 kHz	I, E



1.2. Pino SDA - Serial Address/Data Input/Output

O pino bidirecional SDA é usado para transferir o endereço e também para transferir dados de entrada e saída. Como esse pino é dreno-aberto (opendrain) um resistor que puxa-para-cima (pull-up) é necessário. Esse resistor é conectado do pino SDA para o Vcc e tipicamente é de 10 kΩ para frequência de 100 kHz e 2 kΩ para 400 kHz. Durante transferência normal de dados, o estado do pino SDA é permitido mudar somente quando o pino SCL estiver com nível baixo. Mudanças de estado do pino SDA quando o pino SCL estiver em nível alto é reservado para indicar uma condição de partida (comando start) e condição de parada (comando stop) numa transmissão de dados.



1.3. Pino SCL – Serial Clock

O pino SCL é a entrada de clock e é usado para sincronizar a transferência de dados de um dispositivo para outro.

1.4. Pino WP – Write-Protect

O pino WP é a proteção contra escrita. Se for conectado ao Vss (ground) a escrita na EEPROM é habilitada. Se for conectado ao Vcc (Power Supply) a escrita na EEPROM é protegida. Se a memória estiver protegida contra escrita as operações de leitura não são afetadas.

1.5. Pinos A0, A1 e A2

Os pinos A0, A1 e A2 não são usados no circuito integrado 24LC02B. Eles podem ser deixados desconectados ou ligado no Vss ou Vcc.

2. Descrição Funcional

O CI 24LC02B suporta protocolo de transmissão de dados bidirecional com dois fios (2-wires), interface de comunicação conhecida como I2C ou TWI (Two Wire Interface). O dispositivo que envia dados é definido como transmissor e o dispositivo que recebe os dados é definido como receptor. A transferência de dados deve ser controlada por um dispositivo mestre que gera o clock (SCL), controla os acessos e gera o comando de start e stop, enquanto o CI 24LC02B trabalha como escravo. Ambos, mestre e escravo, podem operar como transmissor e receptor, mas, o dispositivo mestre determina qual modo é ativado.

3. Características das Vias de Transferência (Linha de Dados - SDA e Linha de Clock - SCL)

Os seguintes protocolos das Vias de Transferência têm sido definidos:

- Transferência de dados pode ser inicializada somente quando as Vias de Transferência não estiverem ocupadas;
- Durante a transferência de dados, a linha de dados (SDA) deve permanecer estável sempre que a linha do clock (SCL) estiver em nível alto.

3.1. Vias de Transferência Não Ocupada (condição A, na ilustração a seguir)

Ambas, linha de dados e linha de clock são mantidos em nível alto.

3.2. Condição de Partida de Transferência de Dados (condição B, na ilustração a seguir)

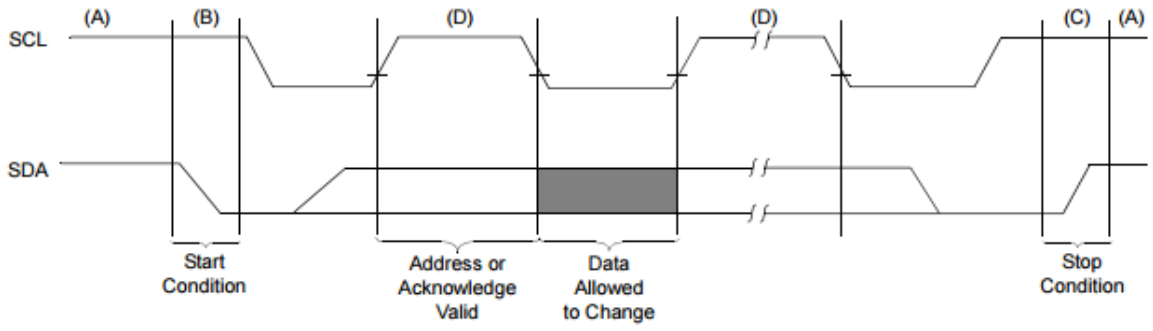
Uma transição de nível alto para baixo da linha DAS, enquanto a linha SCL é nível alto, determina uma condição de partida (comando start) de transferência de dados. Todo início de transferência deve ser precedido por uma condição de partida (comando start).

3.3. Condição de Parada da Transferência de Dados (condição C, na ilustração a seguir)

Uma transição de nível baixo para alto da linha DAS, enquanto a linha SCL é nível alto, determina uma condição de parada (comando stop) de transferência de dados. Todo final de transferência deve ser precedido por uma condição de parada (comando stop).

3.4. Dado Valido (condição D, na ilustração a seguir)

O estado da linha SDA (dado) representa um dado valido quando, depois de uma condição de partida (comando start), a linha de dados é estável durante a período de nível alto da linha SCL (clock). A linha SDA (dado) deve ser mudada durante o período de nível baixo da linha SCL (clock). Há um pulso de clock por cada bit de dado. Cada dado transferido é iniciado com uma condição de partida (comando start) e a transferência é finalizada com uma condição de parada (comando stop). O número de bytes de dados transferidos entre um comando de start e stop é determinado pelo dispositivo mestre e é, teoricamente, ilimitado, embora somente os 16 últimos serão armazenados quando se faz a operação de escrita. Quando uma sobrescrita ocorrer, ele substituirá dados no modo FIFO, primeiro a entrar é o primeiro a sair.



3.5. Bit de Reconhecimento

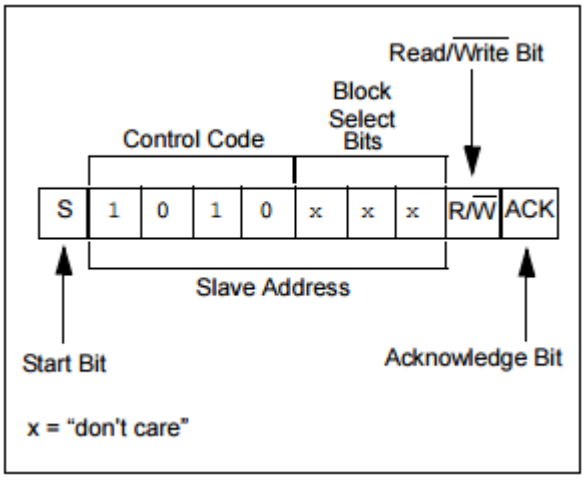
Cada dispositivo receptor, quando endereçado, é obrigado a gerar um sinal de reconhecimento depois de cada byte de dado recebido. O dispositivo mestre deve gerar um pulso de clock extra na qual está associado a esse reconhecimento. O dispositivo que reconhece tem que puxar-para-baixo a linha SDA (dados) durante o pulso de clock de reconhecimento de modo que a

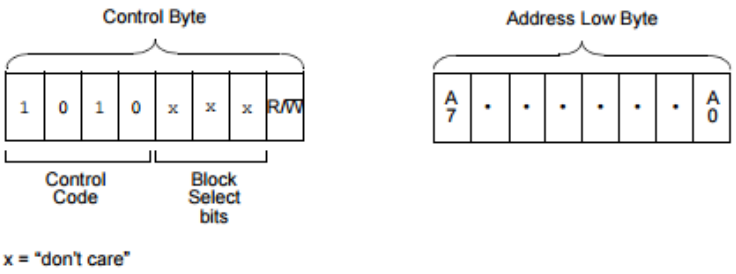
linha SDA (dados) fique estável em nível baixo durante o nível alto do clock de reconhecimento. Claro, que os tempos devem ser levados em conta. Durante leituras, um mestre deve sinalizar o final dos dados para o escravo não gerar um bit de reconhecimento no ultimo byte de dado que saiu do escravo. Nesse caso, o escravo CI 24LC02B deixará a linha SDA (dados) em nível alto para habilitar o mestre a gerar a condição de parada (comando stop).

4. Endereçamento de Dispositivo

Um byte de controle é o primeiro byte recebido após uma condição de partida (comando start) que vem do dispositivo mestre. O byte de controle consiste de um código de controle de quatro bits. Para o dispositivo CI 24LC02B, isto é ajustado com um binário ‘1010’ para operações de leitura e escrita. Os próximos três bits de controle não importam para o CI 24LC02B. O último bit do byte de controle define se a operação será de leitura “1” ou escrita “0”. Seguindo a condição de partida (comando start), o CI 24LC02B monitora a linha de dados (SDA), verificando o identificador do tipo de dispositivo que está sendo transmitido e, em cima do código '1010', o dispositivo escravo transmite um sinal de confirmação (reconhecimento) na linha SDA. Dependendo do estado do bit de leitura ou escrita (R/W), o CI 24LC02B selecionará uma operação de leitura ou escrita.

Operation	Control Code	Block Select	R/$\overline{W}$
Read	1010	Block Address	1
Write	1010	Block Address	0

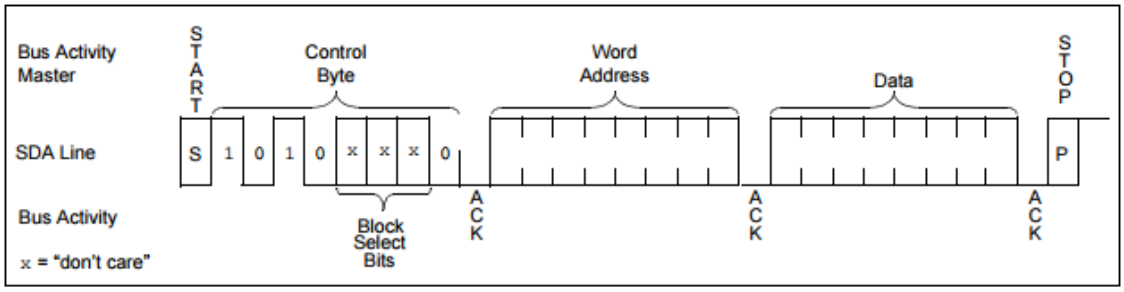




5. Operação de Escrita

5.1. Escrita de Byte

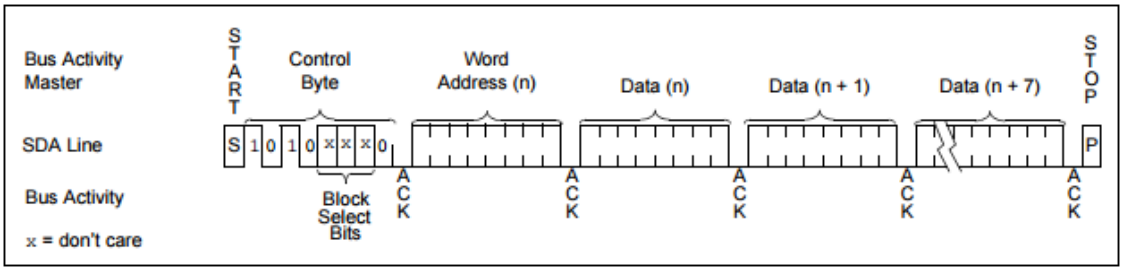
Seguindo a condição de partida (comando start) o mestre transmite os quatros bits de controle “1010”, três bits que não importam o estado e o bit de escrita, nesse caso nível baixo, através de sua linha de dados (SDA). Isso indica para o receptor escravo que um byte com uma palavra de controle seguirá após o bit de reconhecimento durante o nono clock, portanto, o próximo byte a ser transmitido pelo mestre é a palavra de endereçamento e será escrita dentro do Apontador de Endereço do CI 24LC02B. Depois de o mestre receber outro sinal de reconhecimento do CI 24LC02B, o dispositivo mestre transmitirá a palavra de dados para ser escrita dentro da posição de memória endereçada pelo Apontador de Endereço. O CI 24LC02B reconhece novamente e o mestre gera uma condição de parada (comando stop). Isto inicia o ciclo de escrita interno no CI 24LC02B e, durante este tempo, o CI 24LC02B não irá gerar sinais de reconhecimento.



5.2. Escrita de Página

Na escrita de página o byte de controle, a palavra de endereço e o primeiro byte de dados são transmitidos para o CI 24LC02B da mesma forma como na escrita de byte, portanto, em substituição da geração da condição de parada (comando stop), o mestre transmite até 8 bytes de dados para o CI 24LC02B, que são temporariamente armazenados no buffer de página no chip e será escrito para dentro da memória quando o mestre ter transmitido a condição de parada (comando stop). Após ter recebido cada palavra de dados, os quatro bits de ordem inferior do Apontador de Endereço são internamente incrementados em '1'. Os sete bits da palavra de endereçamento são mantidos constantes.

Operações de escrita de página estão limitados a escrever bytes dentro de uma única página física, independentemente do número de bytes a serem escritos. Limites físicos de páginas começam em endereços que são múltiplos inteiros de o tamanho do buffer de página, ou tamanho de página, e terminam em endereços que são múltiplos inteiros do tamanho da página menos um. Se um comando de escrita de página tenta escrever ultrapassando o limite de página física, o resultado é que os dados serão sobrescritos no início da próxima página (substituição de dados previamente armazenados lá), em vez de ser escrito para a próxima página, como se poderia esperar. Portanto, é necessário que o software de aplicação impeça operações de escrita de página que tentam cruzar um limite de página.

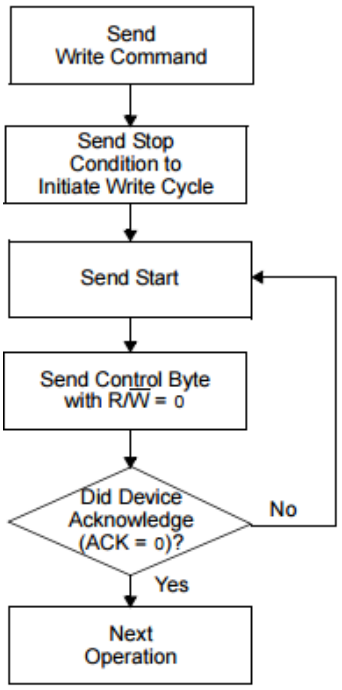


5.3. Proteção de Escrita

O pino WP permite o usuário proteger escrita toda a matriz (00-FF) quando o nível for conectado ao Vcc ‘1’. Se for conectado ao Vss ‘0’, a proteção de escrita é desabilitada.

6. Sinal de Reconhecimento

Uma vez que o dispositivo não reconhecerá durante um ciclo de escrita, este pode ser usado para determinar quando o ciclo for completado. Esta característica pode ser utilizada para maximizar a taxa de transferência. Uma vez que a condição de parada para um comando de escrita tenha sido transmitida a partir do mestre, o dispositivo inicia o ciclo de escrita internamente-cronometrado e o sinal de reconhecimento pode então ser iniciado imediatamente. Isto envolve o mestre enviar uma condição de partida seguida pelo byte de controle para um comando de escrita (R/W = 0). Se o dispositivo ainda estiver ocupado com o ciclo de escrita, o sinal de reconhecimento não será devolvido. Se o ciclo for completado, o dispositivo irá retornar com o sinal de reconhecimento e o mestre pode então proceder com o próximo comando de leitura ou escrita.

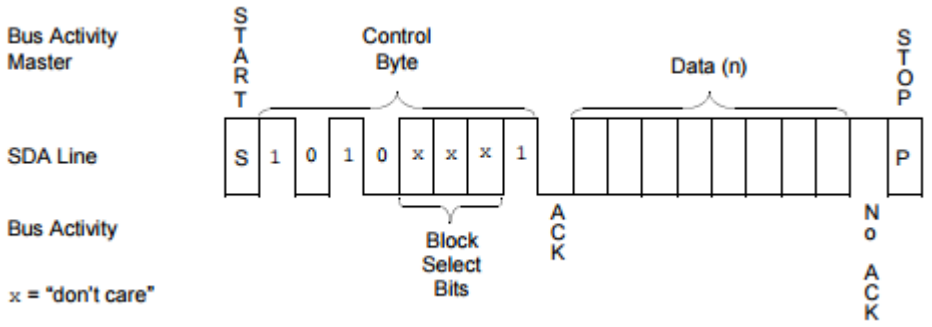


7. Operação de Leitura

As operações de leitura são iniciadas da mesma maneira como operações de escrita, com a exceção de que o bit de R/W do código de controle é nível alto '1'. Existem três tipos básicos de operações de leitura: leitura do endereço atual, leitura aleatória e leitura sequencial.

7.1. Leitura do Endereço Atual

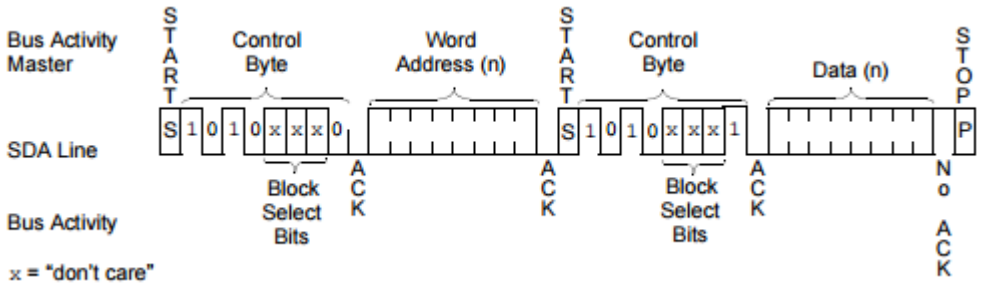
O CI 24LC02B contém um Apontador de Endereço que mantém o endereço da última palavra acessada, internamente incrementado de ‘1’. Portanto, se o acesso anterior, seja de leitura ou escrita, foi o endereço ‘n’, o próximo endereço corrente para operação de leitura deveria ser para acessar o dado na posição ‘n+1’. Após o escravo receber um endereço de leitura o CI 24LC02B transmite um sinal de reconhecimento e transmite a palavra de dados de 8 bits da posição de memória. O mestre não transmitirá um sinal de reconhecimento da transferência, mas gerará uma condição de parada (comando stop), e o CI 24LC02B para de transmitir, ver figura a seguir.



7.2. Leitura Aleatória

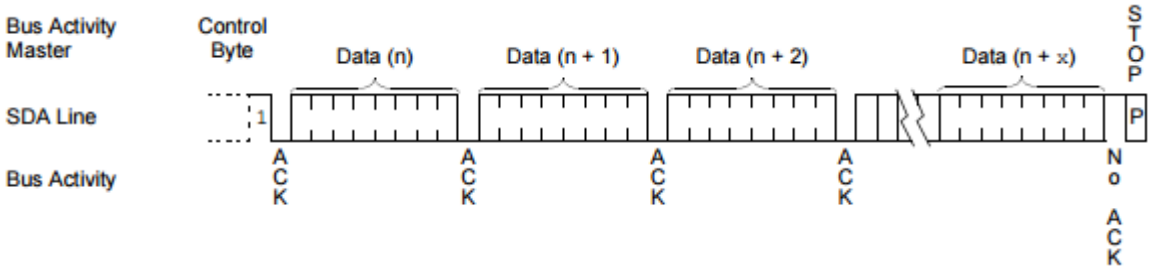
A operação de leitura randômica permite o mestre acessar qualquer posição de memória de maneira aleatória. Para executar esse tipo de operação, a palavra de endereçamento deve ser ajustada primeiro. Isto é conseguido enviando uma palavra de endereço para o CI 24LC02B como parte de uma operação de escrita. Uma vez que a palavra de endereço é enviada, o mestre gera uma condição de partida (comando start) e aguarda o sinal de reconhecimento. Isso encerra a operação de escrita, mas não antes Apontador de Endereço interno ser ajustado. O mestre transmite então o novo byte de controle, mas com o bit de R/W definido como um "1". O CI 24LC02B transmitirá, então, um sinal de reconhecimento e transmitirá a palavra de dados de 8 bits. O mestre não transmitirá um sinal de reconhecimento da transferência, mas

gerará uma condição de parada (comando stop), e o CI 24LC02B para de transmitir, ver figura a seguir.



7.3. Leitura Sequencial

Leitura sequencial são iniciadas da mesma forma do que no modo randômico, exceto que uma vez que o CI 24LC02B transmite o primeiro byte de dados, o mestre aguarda um sinal de reconhecimento para gerar uma condição de parada em uma leitura aleatória. Este modo o mestre dirige o CI 24LC02B para transmitir a próxima palavra de 8 bits sequencialmente endereçada, ver figura a seguir. Para fornecer leituras sequenciais o CI 24LC02B contém na Apontador de Endereço interno que é incrementado após a conclusão de cada operação. Este Apontador de Endereço permite que o conteúdo de toda memória seja lido em série durante uma operação.



7.4. Proteção Contra Ruído

O CI 24LC02B emprega um circuito detector de limiar Vcc que desativa a lógica interna de apagar/escrever se o Vcc for inferior a 1,5 V em condições nominais. As entradas SCL e SDA tem Schmitt Trigger e circuitos de filtros que suprimem picos de ruído para garantir a operação adequada do dispositivo, mesmo em Vias de Transferência com ruídos.